

DIALOG(R) File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

009041502 \*\*Image available\*\*

WPI Acc No: 1992-168861/199221

XRPX Acc No: N92-127272

Electro-optical device for liquid crystal display – has light influencing medium between two substrates, and drive circuit applying signals through conductive pads

Patent Assignee: SEL SEMICONDUCTOR ENERGY LAB (SEME ); SEMICONDUCTOR ENERGY LAB (SEME ); SEMICONDUCTOR ENERGY CO LTD (SEME ); SEMICONDUCTOR ENERGY RES CO LTD (SEME ); HIROKI M (HIRO-I); MASE A (MASE-I); YAMAZAKI S (YAMA-I)

Inventor: HIROKI M; MASE A; YAMAZAKI S

Number of Countries: 007 Number of Patents: 008

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 486284	A2	19920520	EP 91310480	A	19911113	199221 B
JP 4190329	A	19920708	JP 90323694	A	19901126	199235
TW 209895	A	19930721	TW 91101773	A	19910305	199344
EP 486284	A3	19930901	EP 91310480	A	19911113	199508
KR 9405243	B1	19940615	KR 919127	A	19910531	199613
JP 3000174	B2	20000117	JP 90415720	A	19901210	200008
JP 3013259	B2	20000228	JP 90307557	A	19901113	200015
US 20010050664	A1	20011213	US 91673295	A	19910322	200204
			US 9344387	A	19930408	
			US 93148528	A	19931108	
			US 94247452	A	19940523	
			US 2001919949	A	20010802	

Priority Applications (No Type Date): JP 90415720 A 19901210; JP 90307555 A 19901113; JP 90307556 A 19901113; JP 90307557 A 19901113; JP 90323694 A 19901126

Cited Patents: No-SR.Pub; 3.Jnl.Ref; DD 265973; EP 276002; EP 297664; JP 59099887; JP 63082177; JP 63096636; US 4775861

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 486284 A2 E 33 G09G-003/36

Designated States (Regional): DE FR GB

JP 4190329	A	12 G02F-001/136	
TW 209895	A	G02F-001/133	
EP 486284	A3	G09G-003/36	
KR 9405243	B1	G09G-003/36	
JP 3000174	B2	14 G02F-001/133	Previous Publ. patent JP 6337398
JP 3013259	B2	11 G02F-001/136	Previous Publ. patent JP 4177327
US 20010050664	A1	G09G-003/30	Cont of application US 91673295 Cont of application US 9344387 Cont of application US 93148528 Div ex application US 94247452

**Abstract (Basic): EP 486284 A**

The device comprises a pair of substrates (11,11'), a light influencing layer (42) between the substrates, and pixels defined by conductive pads (37b) formed on the inside surface of the substrates and provided with associated switching elements. A driving circuit supplies control signals to the conductive pads through the switching elements.

The switching elements comprise complementary m-channel and p-channel thin-film field-effect transistors (41,51) connected at their drain channels.

**ADVANTAGE** – Provides clear visual images in a system capable of accurate operation.

Dwg.3/18

**Title Terms:** ELECTRO; OPTICAL; DEVICE; LIQUID; CRYSTAL; DISPLAY; LIGHT; INFLUENCE; MEDIUM; TWO; SUBSTRATE; DRIVE; CIRCUIT; APPLY; SIGNAL; THROUGH ; CONDUCTING; PAD

**Derwent Class:** P81; P85; T04; U14

**International Patent Class (Main):** G02F-001/133; G02F-001/136; G09G-003/30; G09G-003/36

**International Patent Class (Additional):** G09F-009/35; H01L-021/336; H01L-029/786

**File Segment:** EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03825229 \*\*Image available\*\*

DISPLAY DEVICE

PUB. NO.: **04-190329** [JP 4190329 A]

PUBLISHED: July 08, 1992 (19920708)

INVENTOR(s): YAMAZAKI SHUNPEI

MASE AKIRA

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 02-323694 [JP 90323694]

FILED: November 26, 1990 (19901126)

INTL CLASS: [5] G02F-001/136; G02F-001/133

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: P, Section No. 1443, Vol. 16, No. 516, Pg. 45,

October 23, 1992 (19921023)

**ABSTRACT**

PURPOSE: To enlarge current margin and to keep current level from drifting in one frame by connecting P-channel thin film transistor and N-channel transistor as complementary transistor to all picture elements arranged in a matrix to form one pixel.

CONSTITUTION: A pixel 34 is constructed so that a P-channel thin film transistor 21 and a N-channel thin film transistor 11 are provided as complementary structure corresponding to each picture element 12, an output end of the complementary thin film transistor is connected to the picture element 12, gate electrodes 4, 4' of the complementary thin film transistor are taken in common as the first input end, and the other end source or drain of the complementary thin film transistor is taken as the second and third input ends. Thus, the complementary thin film transistor is connected to the respective picture elements arranged in a matrix, so that a current margin can be enlarged and the potential of a picture element in each pixel is fixed enough stably so as to keep the level from drifting in one frame.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平4-190329

⑬ Int.CI.

G 02 F 1/136  
1/133

識別記号

5 0 0  
5 5 0

庁内整理番号

9018-2K  
7634-2K

⑭ 公開 平成4年(1992)7月8日

審査請求 未請求 請求項の数 3 (全12頁)

⑮ 発明の名称 表示装置

⑯ 特 願 平2-323694

⑰ 出 願 平2(1990)11月26日

⑱ 発明者 山崎 舞平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 発明者 間瀬 晃 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑳ 出願人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明細書

1. 発明の名称

表示装置

2. 特許請求の範囲

1. アクティブ型表示装置において、それぞれの画素に対応してPチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタとを相補構成をせしめて設け、該相補型薄膜トランジスタの出力端を前記画素に連結せしめるとともに、前記相補型薄膜トランジスタのゲート電極を共通して第1の入力端とし、前記相補型薄膜トランジスタの他端のソースまたはドレインを第2および第3の入力端として設けたピクセルを有することを特徴とする表示装置。

2. アクティブ型表示装置において、それぞれの1つの画素に対応して2つまたはそれ以上のPチャネル型薄膜トランジスタと2つまたはそれ以上のNチャネル型薄膜トランジスタとを相補構成をせしめて設け、該2つまたはそ

れ以上の相補型薄膜トランジスタの出力端を前記画素に連結せしめるとともに、2つまたはそれ以上の前記相補型薄膜トランジスタのゲート電極を共通して第1の入力端とし、前記2つまたはそれ以上の相補型薄膜トランジスタのソースまたはドレインを第2および第3の入力端として設けたピクセルを有することを特徴とする表示装置。

3. アクティブ型表示装置において、それぞれの2つまたはそれ以上の画素に対応して2つまたはそれ以上のPチャネル型薄膜トランジスタと2つまたはそれ以上のNチャネル型薄膜トランジスタとを相補構成をせしめて設け、該2つまたはそれ以上の相補型薄膜トランジスタの出力端を前記2つまたはそれ以上の画素に連結せしめるとともに、2つまたはそれ以上の前記相補型薄膜トランジスタのゲート電極を共通して第1の入力端とし、前記2つまたはそれ以上の相補型薄膜トランジスタのソースまたはドレインを第2および第3の入

力端として設けたピクセルを有することを特徴とする表示装置。

### 3. 発明の詳細な説明

#### 「発明の利用分野」

本発明は、アクティブ型表示装置、特にアクティブ型液晶表示装置に関するもので、それぞれの画素に相補型にPチャネル型およびNチャネル型の2つの薄膜型絶縁ゲート電界効果トランジスタ（以下TFTという）を設けてピクセルを構成せしめたものである。また、それを補償するため、画素または／および相補型の薄膜トランジスタ（以下C/TFTという）を2つまたはそれ以上としたものである。

#### 「従来の技術」

従来、TFTを用いたアクティブ型の液晶表示装置が知られている。この場合、TFTにはアモルファスまたは多結晶構造の半導体を用い、1つの画素にPまたはN型のいずれか一方の導電型のみのTFTを用いたものである。即ち、一般にはNチャネル型TFT(NTFTといふ)を画素に直列に連結して

いる。その代表例を第1図に示す。

第1図において、液晶(12)を有し、それに直列に連結してNTFT(11)を設け、これをマトリクス配列せしめた。一般には $640 \times 480$ または $1280 \times 960$ と多くするが、この画面ではそれと同じ意味で単純に $2 \times 2$ のマトリクス配列をさせた。このそれぞれの画素に対し周辺回路(16),(17)より電圧を加え、所定の画素を選択的にオンとし、他の画素をオフとした。するとこのTFT(11)のオン、オフ特性が一般に良好な場合、コントラストの大きい液晶表示装置を作ることができる。しかし、実際にかかる液晶表示装置を製造してみると、TFTの出力即ち液晶にとっての入力（液晶電位といふ）の電圧 $V_{Lc}(10)$ は、しばしば“1”(High)となるべき時に“0”(Low)にならず、また、逆に“0”(Low)となるべき時に“0”(Low)にならない。液晶(12)はその動作において本来絶縁性であり、また、TFTがオフの時に液晶電位( $V_{Lc}$ )は浮いた状態になる。この液晶(12)は等価的にキャパシタであるため、そこに蓄積された電荷により $V_{Lc}$ が決められる。

この電荷は液晶が $R_{Lc}$ で比較的小さい抵抗となったり、ゴミ、イオン性不純物の存在によりリークしたり、またTFTのゲート絶縁膜のpinホールにより $R_{Lc}(15)$ が生じた場合にはそこから電荷が流れ、 $V_{Lc}$ は中途半端な状態になってしまう。このため1つのパネル中に20万～500万個の画素を有する液晶表示装置においては、高い歩留まりを成就することができない。特に液晶(12)は一般にはTNC(ツイステッドネマティック)液晶が用いられる。その液晶の配向のためにそれぞれの電極上にラビングした配向膜を設ける。このラビング工程のため発生する静電気により弱い絶縁破壊が起り、隣の画素との間または隣の導線との間でリークしたり、またゲート絶縁膜が弱く、リークをしたりしてしまう。

アクティブ型の液晶表示装置においては、液晶電位を1フレームの間はたえず初期値と同じ値として所定のレベルを保つことがきわめて重要である。しかし実際は不良が多く、必ずしも成就しないのが実情である。

また液晶材料が強誘電性液晶であると、注入電流を大きく必要とする。このためにはTFTを大きくして電流マージンを大きくとらなければならないという欠点がある。

#### 「発明の目的」

本発明はこのような問題を解決し、より電流マージンを大とする、即ち応答速度を大とする。また各ピクセルにおける画素の電位、即ち液晶電位 $V_{Lc}$ が“1”, “0”に充分安定して固定され、1フレーム中にそのレベルがドリフトしないようにしたものである。

#### 「発明の構成」

本発明は、アクティブ型表示装置、特にアクティブ型液晶表示装置におけるそれぞれのピクセルの一方の画素を構成する電極、例えば透明導電膜の電極に相補型のTFTの出力端を連結せしめたものである。即ちマトリクス配列したすべての画素にPチャネル型のTFT（以下PTFTといふ）とNTFTとを相補型（以下C/TFTといふ）として連結し、それぞれのピクセルの1つを構成せしめたもので

ある。

1つの画素に2つまたはそれ以上のC/TFTを連結して1つのピクセルを構成せしめてよい。さらに1つのピクセルを2つまたはそれ以上に分割し、それぞれにC/TFTを1つまたは複数個連結してもよい。

本発明の代表例を第2図、第3図、第4図に回路図として示す。実際のパターンレイアウト(配置図)の例をそれぞれに対応して第6図、第7図、第8図に示す。

第2図の $2 \times 2$ のマトリクスの例においてPTFTとNTFTとのゲートを互いに連結し、さらにY軸方向の線Y線というV<sub>ss</sub>(22)、またはV<sub>ss'</sub>(22')に連結した。またC/TFTの共通出力端を液晶(12)に連結している。PTFTの入力端(V<sub>ss</sub>側)をX軸方向の線X線というV<sub>ss</sub>(18)、V<sub>ss'</sub>(18')に連結し、NTFTの入力端(V<sub>ss</sub>側)をV<sub>ss</sub>(19)、V<sub>ss'</sub>(19')に連結させている。するとV<sub>ss</sub>(18)、V<sub>ss</sub>(22)が“1”の時液晶電位(V<sub>Lc</sub>)(10)は“0”となり、またV<sub>ss</sub>(18)が“1”、V<sub>ss</sub>(22)が“0”的時、液晶電位(10)

は“1”となる。そして液晶(12)の画素(12)は反対の電極(23)(一般には接地電位(13))に対して“1”となるとき、オンとなる。逆に液晶電位(10)が“0”的とき液晶はオフとなる。

がくの如く液晶電位(V<sub>Lc</sub>)(10)はV<sub>ss</sub>(18)、またはV<sub>ss'</sub>(19)のいずれかに固定させ得るため、フローティングとなることがない。

第3図の例において、X線V<sub>ss</sub>(18)、V<sub>ss</sub>(19)、V<sub>ss'</sub>(18')、V<sub>ss'</sub>(19')に対し、Y線はV<sub>ss</sub>(22)、V<sub>ss'</sub>(22')を第1のC/TFTを構成するPTFT(21)、NTFT(11)、第2のC/TFTを構成するPTFT(21')、NTFT(11')を共通してV<sub>ss</sub>(22)に連結せしめた。またその2つのC/TFTの出力を共通にして1つの液晶(12)の一方の電極である画素(33)に連結させている。かくすると、2つのPTFTまたは2つのNTFTのいずれか一方がショートしてもレーザ光照射で破壊させ冗長度をもたせたC/TFTを有せしめる。

第4図は1つのピクセル(34)において、2つの画素(33)、(33')とそのそれぞれに対応してC/TFTを2つ設けたものである。2つのC/TFTのゲイト

電極を共通とせしめ、第1の入力を行う。またそれぞれのC/TFTのそれぞれのPTFTおよびそれぞれのNTFTの入力をV<sub>ss</sub>(18)、V<sub>ss</sub>(19)に連結したものである。かくすることにより、1つのピクセルの2つの画素のうち一方がTFTの不良等により非動作となっても、他方が動作するため、マトリクス構成動作において不良が目立ちにくいという特長を有する。

以下に実施例に基づき、本発明を示す。

#### 「実施例1」

この実施例は実施例2、3、4および5を構成せしめるためのもので第9図を用いて示す。

ガラス基板にC/TFTを作らんとした時の製造工程を第9図(A)～(F)に基づき示す。

第9図(A)において、NOガラス(日本電気硝子製)、LB-30(HOYA製)、バイコール7913(コーニング製)等の700℃以下、例えば約600℃の熱処理に耐え得る石英ガラス等の高価でないガラス上にマグネットロンRF(高周波)スパッタ法を用いてプロッキング層(36)としての酸化珪素膜を1000～

3000Åの厚さに作製した。

プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30～100Å/分であった。

この上にシリコン膜をLPCVD(減圧気相)法、スパッタ法またはプラズマCVD法により形成した。

減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン(Si<sub>2</sub>H<sub>6</sub>)またはトリシラン(Si<sub>3</sub>H<sub>8</sub>)をCVD装置に供給して成膜した。反応炉内圧力は30～300Paとした。成膜速度は50～250Å/分であった。NTETとPTFTとのスレッシュホールド電圧(V<sub>th</sub>)を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-2}$ の濃度として成膜中に添加してもよい。

スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-4} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20～80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とし

た。成膜温度は150 °C、周波数は13.56MHz、スパッタ出力は400 ~ 800Wとした。圧力は0.5Pa であった。

プラズマCVD 法により珪素膜を作製する場合、温度は例えば300 °Cとし、モノシラン(SiH<sub>4</sub>)またはジシラン(Si<sub>2</sub>H<sub>6</sub>)を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

これらの方法によって形成された被膜は、酸素が $5 \times 10^{13} \text{ cm}^{-2}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アーニル温度を高くまたは熱アーニル時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{10} \sim 4 \times 10^{11} \text{ cm}^{-2}$ の範囲とした。水素は $4 \times 10^{10} \text{ cm}^{-2}$ であり、珪素 $4 \times 10^{13} \text{ cm}^{-2}$ として比較すると1原子%であった。

本発明において、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{10} \text{ cm}^{-2}$ 以下、好ましくは $7 \times 10^{11} \text{ cm}^{-2}$ 以下とし、ビ

クセル構成するTFT のチャネル形成領域のみに酸素をイオン注入法により $5 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ となるように添加してもよい。

その時周辺回路を構成するTFT には光照射がなされないため、この酸素の混入をより少なくし、より大きいキャリア移動度を有せしめることは、高周波動作をさせるための有効である。

かくして、アモルファス状態の珪素膜を500 ~ 5000 Å、例えば1500 Åの厚さに作製の後、450 ~ 700 °Cの温度にて12~70時間非酸化物雰囲気にて中温の加熱処理した。例えば窒素または水素雰囲気にて600 °Cの温度で保持した。

珪素膜の下の基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アーニルされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

アーニルにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜時に比較的秩序性の高

い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっかりあう。レーザラマン分光により測定すると単結晶の珪素のピーク522 cm<sup>-1</sup>より低周波側にソフトしたピークが観察される。その見掛け上の粒径は半径巾から計算すると、50~500 Åとマイクロクリスタルのようになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

結果として、被膜は実質的にグレインバウンダリ(GB という)がないといつてもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度( $\mu_h$ ) = 10~200 cm<sup>2</sup>/Vsec、電子移動度( $\mu_e$ ) = 15~300 cm<sup>2</sup>/Vsec が得られる。

他方、上記の如き中温でのアーニルではなく、900 ~ 1200°Cの高温アーニルにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きいが、GBでのバリア(障壁)を作ってそこでキャリアの移動を阻害してしまう。結果として $10 \text{ cm}^2/\text{Vsec}$ 以上の移動度がなかなか得られないのが実情である。

即ち、本発明の実施例ではかくの如き理由により、セミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

第9図(A)において、珪素膜を第1のフォトマスク①にてフォトエッチングを施し、PTFT用の領域(21) (チャネル巾20 μm)を図面の右側に、NTFT用の領域(11)を左側に作製した。

この上に酸化珪素膜をゲート絶縁層として500 ~ 2000 Å 例えば1000 Åの厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナ

トリウムイオンの固定化をさせててもよい。

この後、この上側にリンが $1 \sim 10 \times 10^{16} \text{ cm}^{-2}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タンゲステン(W)、MoSi<sub>x</sub>、またはWSi<sub>x</sub>との多層膜を形成した。これを第2のフォトマスク②にてバーニングして第9図(B)を得た。PTFT用のゲート電極(4)、NTFT用のゲート電極(4')を形成した。例えばチャネル長 $10 \mu\text{m}$ 、ゲート電極としてリンドープ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。

第9図(C)において、フォトレジスト(31')をフォトマスク③を用いて形成し、PTFT用のソース(5)、ドレイン(6)に対し、ホウ素を $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量をイオン注入法により添加した。

次に第9図(D)の如く、フォトレジスト(31)をフォトマスク④を用いて形成した。NTFT用のソース(5')、ドレイン(6')としてリンを $1 \times 10^{15} \text{ cm}^{-2}$ の量、イオン注入法により添加した。

これらはゲート絶縁膜(3)を通じて行った。しかし第6図(B)において、ゲート電極(4)、(4')を

マスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

次に、 $600^\circ\text{C}$ にて10~50時間再び加熱アニールを行った。PTFTのソース(5)、ドレイン(6)、NTFTのソース(5')、ドレイン(6')を不純物を活性化してP<sup>+</sup>、N<sup>+</sup>として作製した。

またゲート電極(4)、(4')下にはチャネル形成領域(7)、(7')がセミアモルファス半導体として形成されている。

かくすると、セルフアライン方式でありながらも、 $700^\circ\text{C}$ 以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適したプロセスである。

熱アニールは第9図(A)、(D)で2回行った。しかし第9図(A)のアニールは求める特性により省略し、双方を第9図(D)のアニールにより兼ね製造時間の短縮を図ってもよい。第9図(B)におい

て、層間絶縁物(8)として前記したスパッタ法により酸化珪素膜を形成した。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD(TEOS-オゾン)法を用いててもよい。例えば $0.2 \sim 0.6 \mu\text{m}$ の厚さに形成し、その後、フォトマスク⑤を用いて電極用の窓(32)を形成した。

さらにこれら全体にアルミニウムをスパッタ法により形成し、リード(9)、(9')およびコンタクト(29)、(29')をフォトマスク⑥を用いて作製した。表面を平坦化用有機樹脂(39)例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスク⑦にて行った。

第9図(F)に示す如く2つのTFTを相補とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO(インジューム・スズ酸化膜)を形成した。それをフォトマスク⑧によりエッチングし、電極(33)を構成させた。このITOは室温~ $150^\circ\text{C}$ で成長し、 $200 \sim 400^\circ\text{C}$ の酸素または大気中のアニールにより成長した。

かくの如くにしてPTFT(21)とNTFT(11)と透明導電膜の電極(33)とを同一ガラス基板(1)上に作製した。

かかるTFTの特性を略記する。

移動度 ( $\mu\text{cm}^2/\text{Vs}$ ) V<sub>th</sub>(V)

PTFT	20	-5.9
NTFT	40	+5.0

かかる半導体を用いることにより、一般に不可能とされていたTFTでも大きな移動度を作ることができた。そのため、初めて第2図、第3図、第4図に示した液晶表示装置用の各ピクセルに相補型TFTを構成させるアクティブライド型液晶表示装置を作ることができた。また周辺回路もオンガラス化(同一基板上に同様のTFTの製造プロセスで形成する方法)が可能となった。

「実施例2」

特開平4-190329 (6)

第5図(A)に第2図に対応した実施例を示す。X線としてV<sub>ss</sub>(18)、V<sub>ss</sub>(19)、V<sub>ss'</sub>(18')、V<sub>ss'</sub>(19')を形成した。なおY線としてV<sub>ss</sub>(22)、V<sub>ss'</sub>(22')を形成した。

図面(A)は平面図であるが、そのA-A'の縦断面図を第5図(B)に示す。またB-B'の縦断面図を第5図(C)に示す。

PTFT(21)をX線V<sub>ss</sub>(18)とY線V<sub>ss</sub>(22)との交差部に設け、V<sub>ss</sub>(18)とV<sub>ss'</sub>(23)との交差部にも他の画素用のPTFT(21A)が同様に設けられている。NTFT(11)はV<sub>ss</sub>(19)とV<sub>ss</sub>(22)との交差部に設けられている。V<sub>ss'</sub>(18')とV<sub>ss</sub>(22)との交差部の下側には、他の画素用のPTFTが設けられている。C/TFTを用いたマトリクス構成を有せしめた。

PTFT(21)は、ソース(5)の入力端のコンタクト(32)を介しX線V<sub>ss</sub>(18)に連結され、ゲート(4)は多層形成がなされたY線V<sub>ss</sub>(22)に連結されている。ドレイン(6)の出力端はコンタクト(29)を介して画素の電極(33)に連結している。

他方、NTFT(11)はソース(5')の入力端がコンタ

クト(32')を介してX線V<sub>ss</sub>(19)に連結され、ゲート(4')はY線V<sub>ss</sub>(22)に、ドレイン(6')の出力端はコンタクト(29')を介して画素(33)に連結している。かくして2本のX線(18)、(19)に挟まれた間(内側)に、透明導電膜よりなる画素(33)とC/TFTとにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、2×2のマトリクスの1つの例またはそれを拡大した640×480、1280×960といった大画素の液晶表示装置を作ることが可能となった。

第6図(B)、(C)は第9図(F)に番号が対応している。

ここでの特長は、1つの画素に2つのTFTが組合構成をして設けられていること、画素(33)は液晶電位V<sub>sc</sub>を有するが、それは、PTFTがオンでありNTFTがオフか、またはPTFTがオフでありNTFTがオンか、のいずれのレベルに固定されることである。

その動作を第5図を用いて略記する。

液晶(12)を挟む一対の電極(33)、(23)において、

他方の電極(23)を接地電位(13)とし、それに対してPTFT(21)の入力端が連結したV<sub>ss</sub>(19)を例えば+10V、NTFT(11)の入力端が連結したV<sub>ss</sub>(18)を例えば-10Vとすると、V<sub>sc</sub>(10)は+10Vまたは-10Vと固定となる。第1図に示された従来公知のNTFTのみを用いた液晶装置に比べ、V<sub>sc</sub>はフローティングとならず、一定の電位を有する。即ちV<sub>ss</sub>(18)、V<sub>ss</sub>(19)、接地(13)と3種類の電位を設定することができ、制御要素が1つ増えたことがわかる。

また第6図で明らかな如く、制御要素のV<sub>ss</sub>が新たに増えると、V<sub>ss</sub>の配線がX線として1本増えるのみであり、液晶装置における開口率(全面積(34)に対する実際に表示する液晶の面積(33)の割合)に関しては、従来の第1図の1つのみの導電型をもつTFTを各画素に連結した場合に比べて大きくは減少せず、それほど不利にならない。

第6図において、V<sub>ss</sub>(22)の配線を考えてみると、オーバーライン配線(上側配線)としてのアルミニウム配線(41)、ゲート電極と同じ材料によ

るアンダーライン配線(43)(下側配線)およびそれらのコンタクト(42)を用いることにより、X線、Y線の交差部での多層配線のために新たなフォトマスク数を増やす必要がなくなっている。

第6図において、それら透明導電膜上に配向膜、配向処理を施し、さらにこの基板と他方の液晶の電極(第5図(23))を有する基板との間に一定の間隔をあけて公知の方法により互いに配設をした。そしてその間に液晶を注入または配線して完成させた。

液晶材料にTN液晶を用いるならば、その間隔を約10μm程度とし、透明導電膜双方に配向膜をラビング処理して形成させる必要がある。

また液晶材料にPLC(強誘電性)液晶を用いる場合は、動作電圧を±20Vとし、セルの間隔を1.5~3.5μm例えば2.3μmとし、反対電極(第4図)(34)上にのみ配向膜を設けラビング処理を施せばよい。

分散型液晶またはポリマー液晶を用いる場合には、配向膜は不用であり、スイッチング速度を大

とするため、動作電圧は±10~±15Vとし、セル間隔は1~10μmと薄くした。

特に分散型液晶を用いる場合には、偏光板も不用のため、反射型としても、また透過型としても光量を大きくすることができる。そしてその液晶はスレッシュホールドがないため、本発明のC/TFTに示す如く、明確なスレッシュホールド電圧が規定されるC/TFT型とすることにより、大きなコントラストとクロストーク(隣の画素との干渉)を除くことができた。

#### 「実施例3」

この実施例は第3図および第7図に対応したものである。

この図面より明らかな如く、Y線のV<sub>dd</sub>(22)を中心配設し、X線のV<sub>dd</sub>(18)、V<sub>ss</sub>(19)に挟まれた部分を1つのピクセル(34)としている。1つのピクセルは1つの透明導電膜の画素電極(33)および2つのPTFT(21)、(21')、2つのNTFT(11)、(11')よりなる2つのC/TFTに連結させている。

ゲート電極はすべてV<sub>dd</sub>(22)に連結され、2つの

PTFT(21)、(21')はV<sub>dd</sub>(18)に、また2つのNTFTの(11)、(11')はV<sub>ss</sub>(19)に連結されている。これら2つのPTFTの一方またはNTFTの一方が不良であった場合、その不良のTFTをレーザ光照射で破壊されることにより、冗長性をもたらせた。

このため、画素を構成する透明導電膜(33)は4つのTFTのソース、ドレインを覆うことのないよう設計した。

その他は実施例2と同じであり、このC/TFTは実施例1を用いた。

#### 「実施例4」

この実施例は第4図および第8図に対応するものである。1つのピクセルが2つのC/TFTと2つの画素よりなっている。即ちPTFT(21)、NTFT(11)よりなるC/TFTの出力と連結した液晶(12)の画素電極(33)と、他のPTFT(21')とNTFT(11')よりなるC/TFTの出力に連結した液晶(12')の画素電極(33')とが1つのピクセル(34)を構成している。画素(33)と(33')とが1つのピクセルを構成する合わせた画素(33)に対応する。

かくすると、たとえ一方の画素が動作しなくなってしまっても、他方の画素が動作をし、カラー化をした時、非動作のピクセルが発生する確率を下げることができた。

その他、ここに記載されていないことは実施例1、2に記されたことと同様である。

#### 「実施例5」

実施例2、3および4においては、V<sub>dd</sub>にPTFTの入力端を、またV<sub>ss</sub>にNTFTの入力端を連結した。この実施例においては、逆に、V<sub>dd</sub>側にNTFTの入力端を、V<sub>ss</sub>側にPTFTの入力端を連結した。するとその出力であるV<sub>Lc</sub>はV<sub>dd</sub>と同様V<sub>dd</sub>が"1"の時V<sub>Lc</sub>は"1"となり、V<sub>dd</sub>が"0"の時V<sub>Lc</sub>は"0"となる)とすることができます。出力電位はV<sub>dd</sub>-V<sub>th</sub>で与えられる。かくするとV<sub>dd</sub>をV<sub>dd</sub>より大にしなければならない欠点はあるが、ゲート電極とV<sub>Lc</sub>との間で多少のリードをあってあまり気にしなくてもよいという特長を有する。

かかる場合、第6図、第7図および第8図において、PTFT(21)とNTFT(11)とは互いに逆に設けれ

ばよい。即ち第5図においても同様にPTFTとNTFTとを互いに逆に設ければよい。そのため、実施例2、3、4における製造工程はまったく同じとして作ることができる。

#### 「発明の効果」

本発明は相補型のTFTをマトリクス化された各画素に連結することにより、

- 1)しきい値の明確化
- 2)スイッチング速度の増加
- 3)動作マージンの拡大
- 4)不良TFTが一部にあってもその補償をある程度行うことができる
- 5)作製に必要なフォトマスク数はNTFTのみの従来例に比べて第9図(C)および(D)のフォトマスク③、④と2回多くなるのみである
- 6)キャリアの移動度がアモルファス珪素を用いた場合に比べ10倍以上も大きいため、TFTの大きさを小さくでき、1つのピクセル内に2つのTFTをつけても開口率の減少をほとんど伴わないという多くの特長を有する。

そのため、これまでのNTFTのみを用いるアクティブTFT液晶装置に比べて、数段の製造歩留まりと画面の鮮やかさを成就できるようになった。

本発明においてかかるC/TFTに対し、半導体としてセミアモルファスまたはセミクリスタルを用いた。しかし同じ目的のために可能であるならば他の結晶構造の半導体を用いてもよい。またセルフアライン型のC/TFTにより高速処理を行った。しかしイオン注入法を用いずに非セルフアライン方式によりTFTを作ってもよい。またスタが一型でなく逆スタが一型のTFTであってもよいことはいうまでもない。

本発明における表示媒体としては、透過型の液晶表示装置または反射型の液晶表示装置として用い得る。また液晶材料としては前記したTN液晶、FLC液晶、分散型液晶、ポリマ型液晶を用い得る。

またゲストホスト型、誘電異方性型のネマチック液晶にイオン性ドーパントを添加して電界を印加することによってネマチック液晶とコレステリック液晶との混合体に電界を印加して、ネマチ

ック相とコレステリック相との間で相変化を生じさせ、透明ないし白濁の表示を実現する相転移液晶を用いることもできる。また液晶以外では、例えば染料で着色した有機溶媒中にこれと色の異なる顔料粒子を分散させた、いわゆる電気泳動表示用分散系を用いることもできることを付記する。

#### 4. 図面の簡単な説明

第1図は従来のアクティブ型TFT(薄膜型トランジスタ)を用いた液晶装置を示す。

第2図、第3図および第4図は本発明の相補型TFTを用いたアクティブ型液晶装置の回路図を示す。

第5図は相補型TFTの動作を示す図面である。

第6図は第2図に対応した液晶表示装置の一方の基板の平面図(A)、縦断面図(B)、(C)を示す。

第7図は第3図に対応した液晶表示装置の一方の基板の図面である。

第8図は第4図に対応した液晶表示装置の一方の基板の図面である。

第9図は本発明の液晶装置に用いた相補型TFT

の作製方法を示す。

- (1) . . . . ガラス基板
- (2), (2') . . . シリコン半導体
- (3) . . . . ゲイト絶縁膜
- (4), (4') . . . ゲイト電極
- (5), (5') . . . ソース
- (6), (6') . . . ドレイン
- (7), (7') . . . チャネル形成領域
- (10) . . . . 液晶電位( $V_{Lc}$ )
- (11), (11'), (11A), (11'A), (11B), (11'B) . . . Nチャネル型薄膜トランジスタ(NTFT)
- (12), (12'), (12A), (12'A), (12B), (12'B) . . . 液晶
- (14), (15) . . . リークをさせる抵抗
- (16), (17) . . . 周辺回路
- (18), (18') . . .  $V_{ss}$  (X線の1つ)
- (19), (19') . . .  $V_{ss}$  (X線の1つ)
- (21), (21') . . . (21A), (21'A), (21B), (21'B) . . . Pチャネル型薄膜トランジスタ(PTFT)

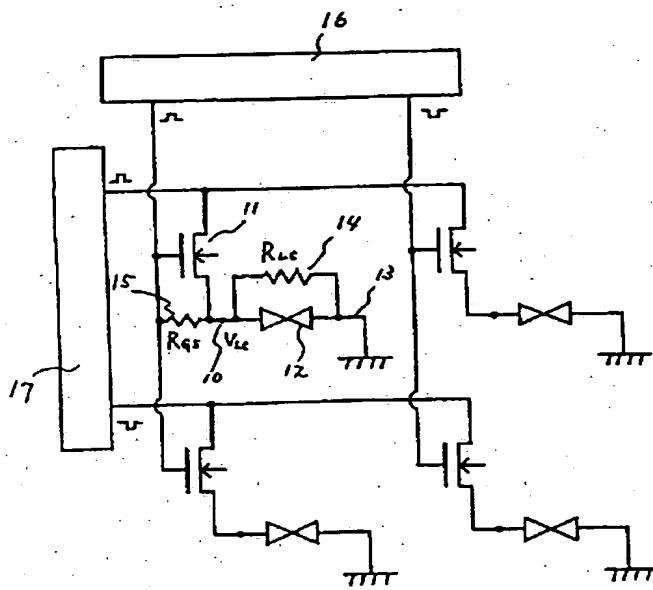
- (22), (22') . . .  $V_{dd}$ ,  $V_{dd'}$  (Y線)
- (23), (33), (33'), (33A), (33'A), (33B), (33'B) . . . 透明電極で作られた画素
- (34) . . . . ピクセル
- (36) . . . . ブロッキング層
- ①～⑩ . . . フォトマスクを用いたプロセス

特許出願人

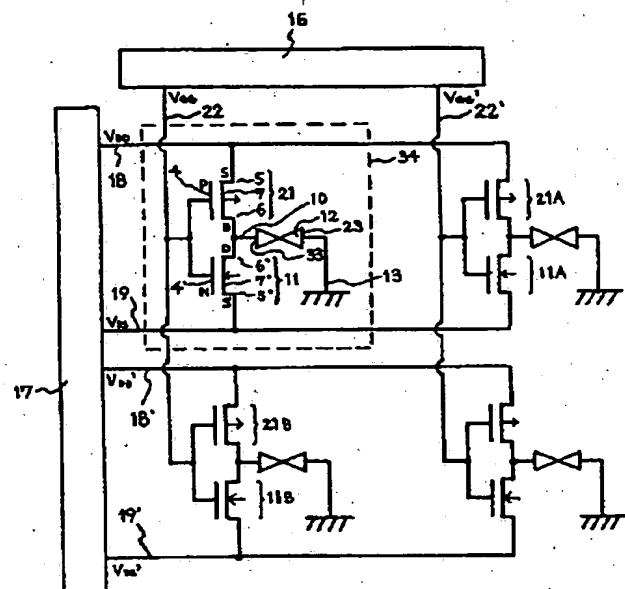
株式会社半導体エネルギー研究所

代表者 山崎昇

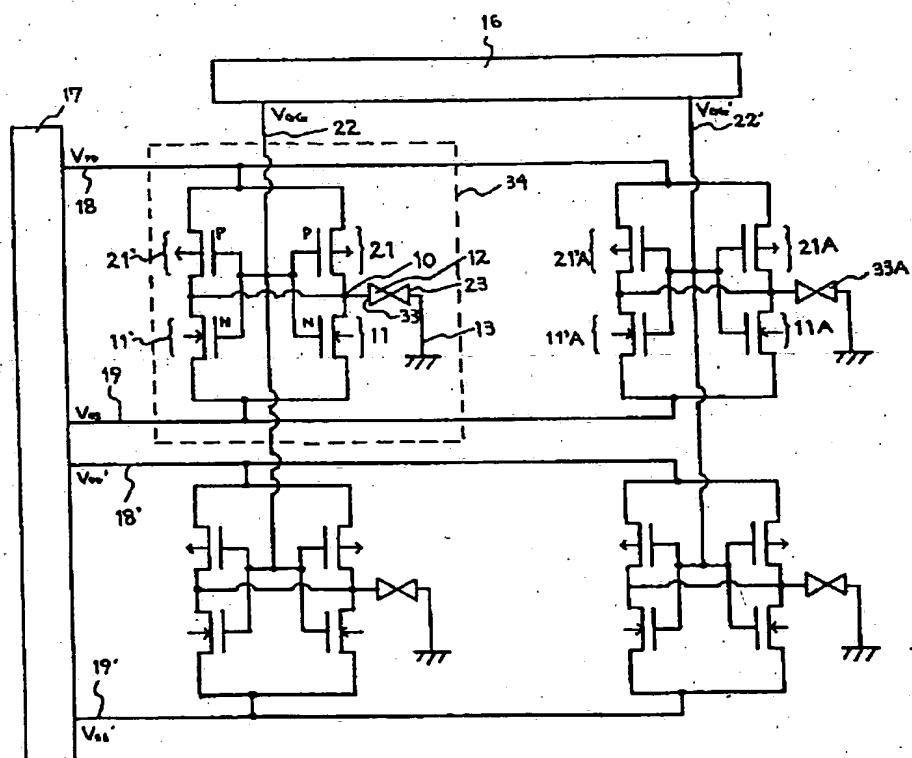




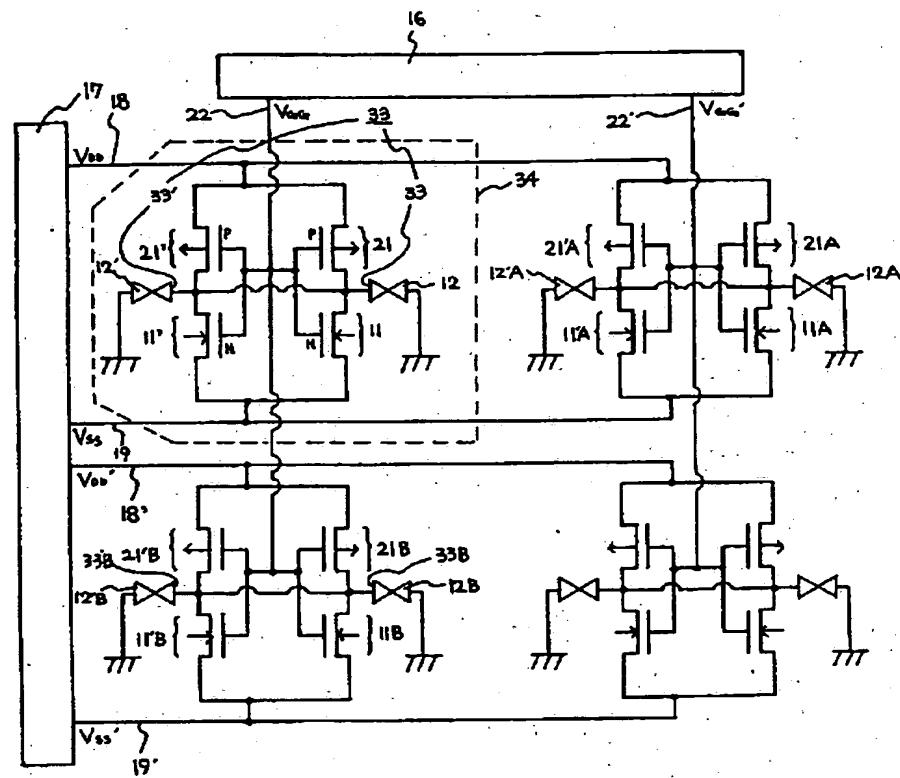
第 1 図



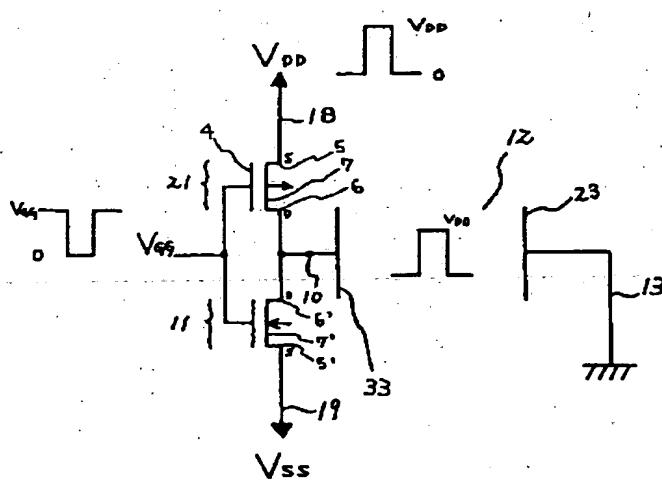
第 2 図



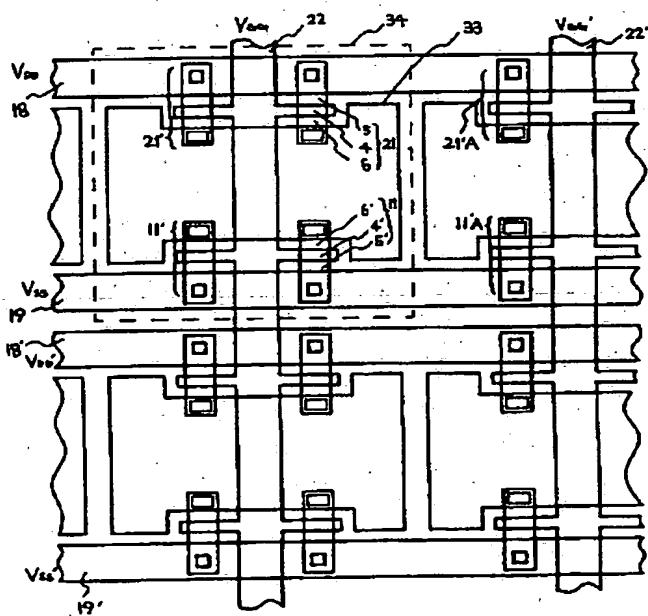
第 3 図



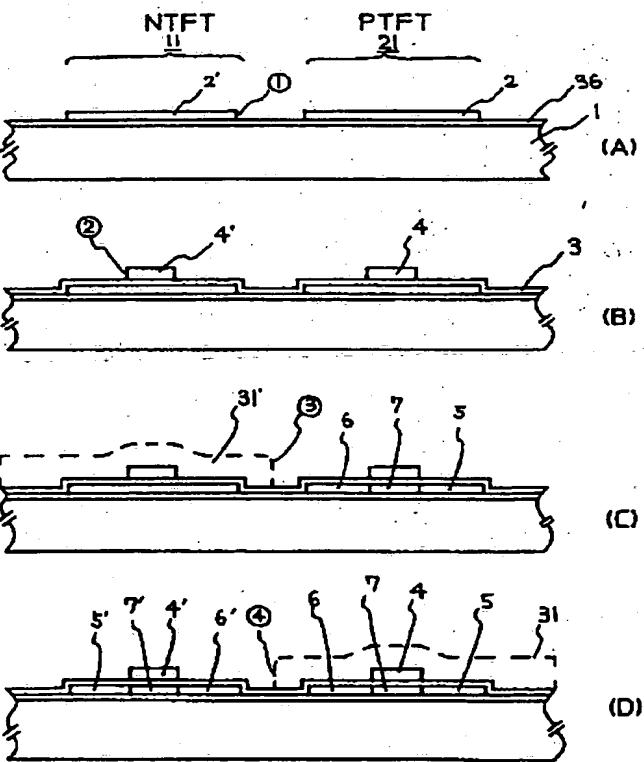
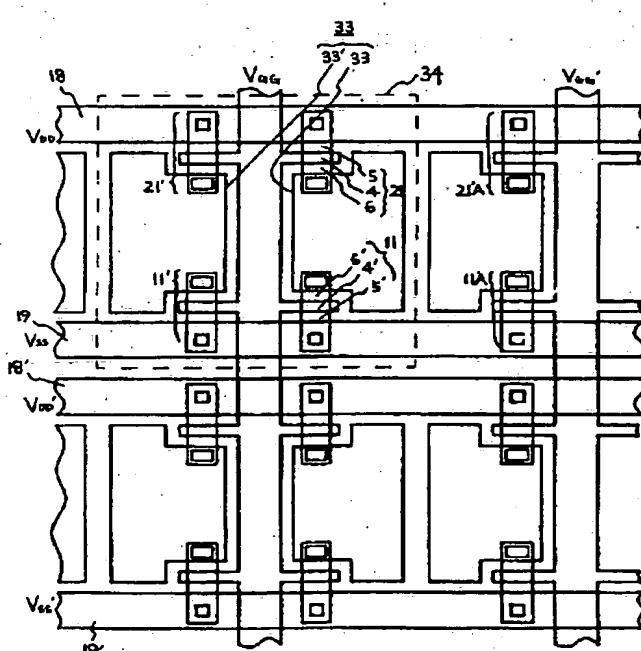
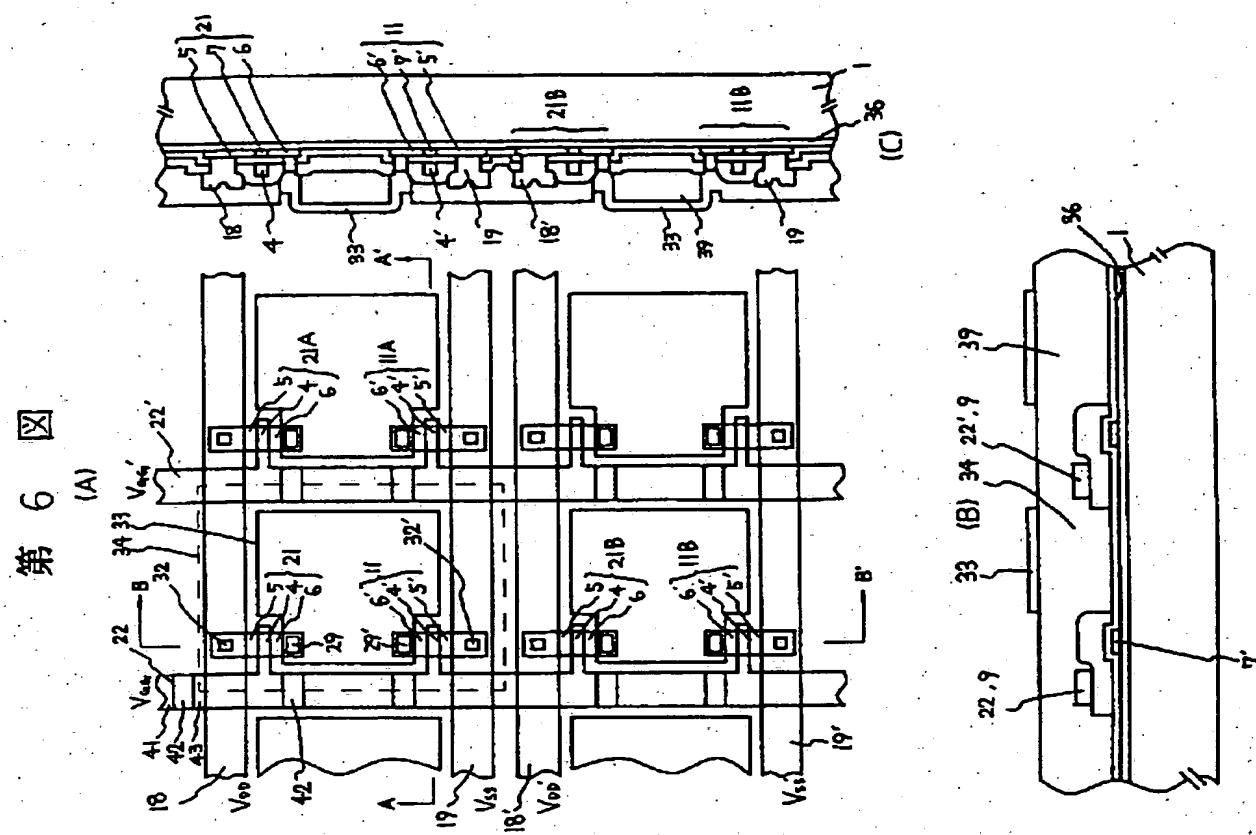
第4図



第5図

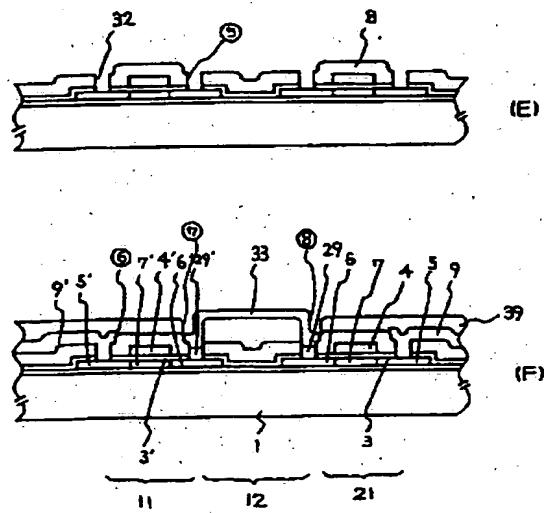


第7図



第 8 図

## 第 9 図



第 9 図